

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255879

(43)Date of publication of application : 01.10.1996

(51)Int.Cl.

H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 07-083242

(71)Applicant : SONY CORP

(22)Date of filing : 15.03.1995

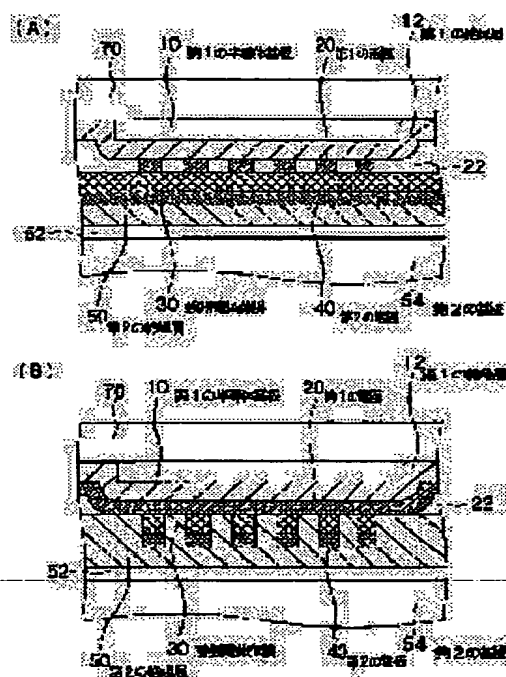
(72)Inventor : OCHIAI AKIHIKO

(54) SEMICONDUCTOR MEMORY AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To obtain a semiconductor memory having simple structure in which a thin ferroelectric film is sandwiched between stripe electrodes arranged in a stripe while intersecting perpendicularly.

CONSTITUTION: The semiconductor memory comprises first stripe electrodes 20 arranged in stripe, second stripe electrodes 40 arranged in stripe, a thin ferroelectric film 30 provided at least the intersections of first and second electrodes, wherein the semiconductor memory cells are formed in a first semiconductor substrate 10 pasted to a second substrate 54.



LEGAL STATUS

[Date of request for examination]

13.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 5 5 8 7 9

(43) 公開日 平成 8 年 (1 9 9 6) 1 0 月 1 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/10	451	9276-4M	H01L 27/10	451
27/108				651
21/8242				

審査請求 未請求 請求項の数 8 F D (全 1 7 頁)

(21) 出願番号 特願平 7 - 8 3 2 4 2

(22) 出願日 平成 7 年 (1 9 9 5) 3 月 1 5 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 落合 昭彦

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ
ニー株式会社内

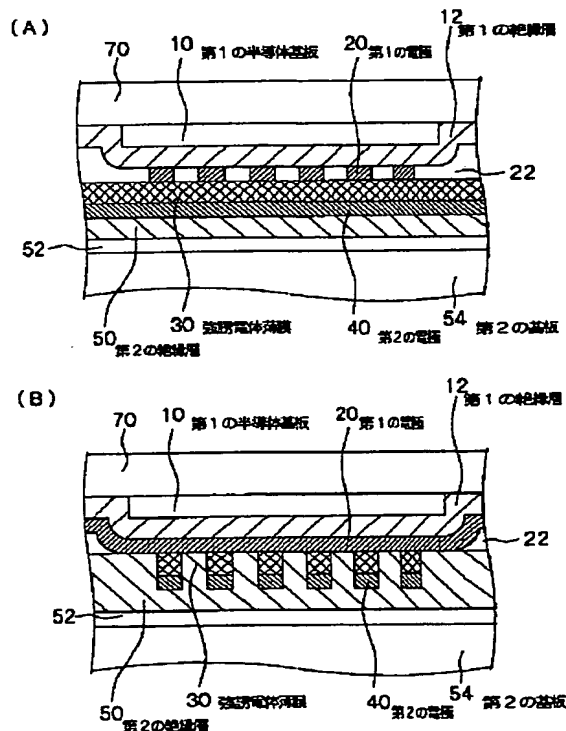
(74) 代理人 弁理士 山本 孝久

(54) 【発明の名称】 半導体メモリ及びその作製方法

(57) 【要約】

【目的】 互いに直交するストライプ状に配列された帯状の電極の間に強誘電体薄膜が挟まれているが、簡素な構造を有する半導体メモリを提供する。

【構成】 半導体メモリは、(イ) ストライプ状に配列された帯状の第 1 の電極 2 0 と、(ロ) 該第 1 の電極と略直交する、ストライプ状に配列された帯状の第 2 の電極 4 0 と、(ハ) 第 1 の電極と第 2 の電極が交差する部分に少なくとも設けられた強誘電体薄膜 3 0、から構成された複数の半導体メモリセルから成り、そして、これらの半導体メモリセルは、第 2 の基板 5 4 に張り合わされた第 1 の半導体基板 1 0 の内部に形成されている。



【特許請求の範囲】

【請求項 1】 (イ) ストライプ状に配列された帯状の第 1 の電極と、

(ロ) 該第 1 の電極と略直交する、ストライプ状に配列された帯状の第 2 の電極と、

(ハ) 第 1 の電極と第 2 の電極が交差する部分に少なくとも設けられた強誘電体薄膜、から構成された複数の半導体メモリセルから成り、

該半導体メモリセルは、第 2 の基板に張り合わされた第 1 の半導体基板の内部に形成されていることを特徴とする半導体メモリ。

【請求項 2】 第 1 の半導体基板の表面側には、第 1 の電極のそれぞれに電氣的に接続された第 1 のトランジスタ素子、及び、第 2 の電極のそれぞれに電氣的に接続された第 2 のトランジスタ素子が形成されていることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 3】 第 1 のトランジスタ素子は、一方が第 1 のコンタクトプラグを介して第 1 の電極に電氣的に接続され、そして、他方が第 1 の半導体基板の上方に形成された第 1 のデータ線に電氣的に接続されたソース・ドレイン領域と、第 1 の半導体基板の上方に形成されたゲート電極から構成されており、

第 2 のトランジスタ素子は、一方が第 2 のコンタクトプラグを介して第 2 の電極に電氣的に接続され、そして、他方が第 1 の半導体基板の上方に形成された第 2 のデータ線に電氣的に接続されたソース・ドレイン領域と、第 1 の半導体基板の上方に形成されたゲート電極から構成されていることを特徴とする請求項 2 に記載の半導体メモリ。

【請求項 4】 強誘電体薄膜は、PZT 系化合物、又は層状構造を有する Bi 系化合物から成ることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体メモリ。

【請求項 5】 (イ) 第 1 の半導体基板の表面に凹凸部を形成した後、全面に第 1 の絶縁層を形成する工程と、

(ロ) 第 1 の半導体基板の表面に形成された凸部の上方の第 1 の絶縁層上に、ストライプ状に配列された帯状の第 1 の電極を形成する工程と、

(ハ) 次の工程で形成する第 2 の電極と少なくとも交差する該第 1 の電極の部分に、強誘電体薄膜を形成する工程と、

(ニ) 該強誘電体薄膜を介して、該第 1 の電極と略直交する、ストライプ状に配列された帯状の第 2 の電極を形成する工程と、

(ホ) 全面に第 2 の絶縁層を形成する工程と、

(ヘ) 該第 2 の絶縁層を介して、第 1 の半導体基板と第 2 の基板を張り合わせる工程、から成ることを特徴とする半導体メモリの作製方法。

【請求項 6】 PZT 系化合物、又は層状構造を有する Bi 系化合物から成る強誘電体薄膜を、MOCVD 法、バ

ルスレーザ堆積法又はスパッタ法にて形成することを特徴とする請求項 5 に記載の半導体メモリの作製方法。

【請求項 7】 (イ) 第 1 の半導体基板の表面に凹凸部を形成した後、全面に第 1 の絶縁層を形成する工程と、

(ロ) 第 1 の半導体基板の表面に形成された凸部の上方の第 1 の絶縁層上に、ストライプ状に配列された帯状の第 1 の電極を形成し、併せて、第 1 の電極のそれぞれから第 1 の半導体基板の表面に達する第 1 のコンタクトプラグを形成する工程と、

(ハ) 次の工程で形成する第 2 の電極と少なくとも交差する該第 1 の電極の部分に、強誘電体薄膜を形成する工程と、

(ニ) 該強誘電体薄膜を介して、該第 1 の電極と略直交する、ストライプ状に配列された帯状の第 2 の電極を形成し、併せて、第 2 の電極のそれぞれから第 1 の半導体基板の表面に達する第 2 のコンタクトプラグを形成する工程と、

(ホ) 全面に第 2 の絶縁層を形成する工程と、

(ヘ) 該第 2 の絶縁層を介して、第 1 の半導体基板と第 2 の基板を張り合わせる工程と、

(ト) 第 1 の半導体基板の裏面から第 1 の半導体基板を研磨し、前記凹部の底部を露出させる工程と、

(チ) 露出した第 1 の半導体基板に、第 1 のコンタクトプラグと電氣的に接続された第 1 のトランジスタ素子を形成し、併せて、第 2 のコンタクトプラグと電氣的に接続された第 2 のトランジスタ素子を形成する工程、から成ることを特徴とする半導体メモリの作製方法。

【請求項 8】 PZT 系化合物、又は層状構造を有する Bi 系化合物から成る強誘電体薄膜を、MOCVD 法、バルスレーザ堆積法又はスパッタ法にて形成することを特徴とする請求項 7 に記載の半導体メモリの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、強誘電体薄膜を用いた半導体メモリ及びその作製方法、更に詳しくは、強誘電体薄膜を用いた不揮発性メモリ（所謂 FERAM）若しくは DRAM から成る半導体メモリ及びその作製方法に関する。

【0002】

【従来の技術】 近年、成膜技術の進歩に伴い強誘電体薄膜を用いた不揮発性メモリセルの応用研究が盛んに進められている。この不揮発性メモリセルは、強誘電体薄膜の高速分極反転とその残留分極を利用する、高速書き換えが可能な不揮発性メモリセルである。現在研究されている強誘電体薄膜を備えた不揮発性メモリセルは、強誘電体キャパシタの蓄積電荷量の変化を検出する方式と、強誘電体の自発分極による半導体の抵抗変化を検出する方式の 2 つに分類することができる。本発明における半導体メモリセルは前者に属する。

【0003】 強誘電体キャパシタの蓄積電荷量の変化を

検出する方式の不揮発性半導体メモリは、基本的には、強誘電体キャパシタから成る不揮発性メモリセルに選択トランジスタを付加した構造を有する。強誘電体キャパシタは、例えば、下部電極と上部電極、及びそれらの間に挟まれた強誘電体薄膜から構成されている。このタイプの不揮発性メモリセルにおけるデータの書き込みや読み出しは、図 2 1 に示す強誘電体の P-E ヒステリシスループを応用して行われる。強誘電体薄膜に外部電界を加えた後、外部電界を除いたとき、強誘電体薄膜は自発分極を示す。そして、強誘電体薄膜の残留分極は、プラス方向の外部電界が印加されたとき +P_r、マイナス方向の外部電界が印加されたとき -P_r となる。ここで、残留分極が +P_r の状態（図 2 1 の「D」参照）の場合を“0”とし、残留分極が -P_r の状態（図 2 1 の「A」参照）の場合を“1”とする。

【0004】“1”あるいは“0”の状態を判別するために、強誘電体薄膜に例えばプラス方向の外部電界を印加する。これによって、強誘電体薄膜の分極は図 2 1 の「C」の状態となる。このとき、データが“0”であれば、強誘電体薄膜の分極状態は、「D」から「C」の状態に変化する。一方、データが“1”であれば、強誘電体薄膜の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが“0”の場合には、強誘電体薄膜の分極反転は生じない。一方、データが“1”の場合には、強誘電体薄膜に分極反転が生じる。その結果、強誘電体キャパシタの蓄積電荷量に差が生じる。選択されたメモリセルの選択トランジスタをオンにすることで、この蓄積電荷を信号電流として検出する。データの読み出し後、外部電界を 0 にすると、データが“0”のときでも“1”のときでも、強誘電体薄膜の分極状態は図 2 1 の「D」の状態となってしまう。それ故、データが“1”の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ“1”を書き込む。

【0005】このような不揮発性メモリセルの一種が、特開平 2 - 1 5 4 3 8 9 号公報に開示されている。この特許公開公報に開示された不揮発性メモリセルは、基本的には、互いに直交する複数のストライプ電極と、それらの交差部分に形成された強誘電体薄膜から成る。

【0006】

【発明が解決しようとする課題】このような構造の不揮発性メモリセルは、セル面積が小さくなり、メモリ容量が同一面積の DRAM と比較して約 8 倍になるという優れた特徴を有するが、メモリセル間のリーク電界を低減し、クロストークを防止し、データを選択したメモリセルに確実に書き込み、読み出すために、1本のストライプ電極に対して2つずつスイッチを設ける必要がある。然るに、このようなスイッチを設けた場合、メモリチップ容積が大きくなる。そこで、特開平 2 - 1 5 4 3 8 9 号公報の第 2 1 図～第 2 5 図に示されるように、ストラ

イプ電極の上下にドライブセル層を設けている。尚、係るメモリセルの模式的な一部断面図を図 2 2 の（A）に、また、セル構造の概念図を図 2 2 の（B）に掲げる。しかしながら、このような構造は複雑であり、メモリセルの製造プロセスが非常に複雑になり、量産に適しているとは云い難い。

【0007】従って、本発明の目的は、互いに直交するストライプ状に配列された帯状の電極の間に強誘電体薄膜が挟まれているが、簡素な構造を有する半導体メモリ及びその作製方法を提供することにある。更に、本発明の目的は、互いに直交するストライプ状に配列された帯状の電極の間に強誘電体薄膜が挟まれており、各電極にスイッチとして機能するトランジスタ素子を提供し、しかも簡素な構造を有する半導体メモリ及びその作製方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体メモリは、（イ）ストライプ状に配列された帯状の第 1 の電極と、（ロ）該第 1 の電極と略直交する、ストライプ状に配列された帯状の第 2 の電極と、（ハ）第 1 の電極と第 2 の電極が交差する部分に少なくとも設けられた強誘電体薄膜、から構成された複数の半導体メモリセルから成り、そして、これらの半導体メモリセルは、第 2 の基板に張り合わされた第 1 の半導体基板の内部に形成されていることを特徴とする。

【0009】本発明の半導体メモリにおいては、第 1 の半導体基板の表面側に、第 1 の電極のそれぞれに電氣的に接続された第 1 のトランジスタ素子、及び、第 2 の電極のそれぞれに電氣的に接続された第 2 のトランジスタ素子が形成されていることが好ましい。トランジスタ素子でデコーダを構成することもできる。この場合、第 1 のトランジスタ素子は、一方が第 1 のコンタクトプラグを介して第 1 の電極に電氣的に接続され、そして、他方が第 1 の半導体基板の上方に形成された第 1 のデータ線に電氣的に接続されたソース・ドレイン領域と、第 1 の半導体基板の上方に形成されたゲート電極から構成されており、第 2 のトランジスタ素子は、一方が第 2 のコンタクトプラグを介して第 2 の電極に電氣的に接続され、そして、他方が第 1 の半導体基板の上方に形成された第 2 のデータ線に電氣的に接続されたソース・ドレイン領域と、第 1 の半導体基板の上方に形成されたゲート電極から構成されていることが望ましい。

【0010】本発明の半導体メモリにおいては、強誘電体薄膜は、PZT 系化合物、又は層状構造を有する Bi 系化合物から構成することができる。PZT 系化合物として、ペロブスカイト型構造を有する PbZrO₃ と PbTiO₃ の固溶体であるチタン酸ジルコン酸鉛（PZT）、PZT に La を添加した金属酸化物である PLZT、あるいは PZT に Nb を添加した金属酸化物である PNZT を挙げることができる。また、層状構造を有す

るBi系化合物として、ペロブスカイト型構造を有する、 $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_{10}$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_{10}$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_{10}$ 、 $\text{Bi}_2\text{Ti}_2\text{O}_{10}$ 、 $\text{SrBi}_2\text{Ta}_2\text{Nb}_{1-x}\text{O}_{10}$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_{10}$ 等を例示することができる。

【0011】第1の電極及び/又は第2の電極は、例えば、Pt、Pd、 RuO_2 、 IrO_2 、Pt/Tiの積層構造、Pt/Taの積層構造、Pt/Ti/Taの積層構造、 $\text{La}_{x-1}\text{Sr}_x\text{CoO}_3$ (LSCO)、Pt/LSCOの積層構造、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ から構成すること

が好ましいが、これらに限定されるものではない。尚、第1の半導体基板と第2の基板の張り合わせ温度に耐え得る材料から第1の電極及び第2の電極を構成することが好ましい。

【0012】第1若しくは第2のコンタクトプラグは、例えば、タングステン、Ti、Pt、Pd、Cu等の高融点金属から成る金属配線材料や、不純物をドーピングしたポリシリコンから構成することができる。

【0013】本発明の半導体メモリの形態として、不揮発性メモリ(所謂FERAM)若しくはDRAMを挙げ

ることができる。

【0014】上記の目的を達成するための本発明の第1の態様に係る半導体メモリの作製方法は、(イ)第1の半導体基板の表面に凹凸部を形成した後、全面に第1の絶縁層を形成する工程と、(ロ)第1の半導体基板の表面に形成された凸部の上方の第1の絶縁層上に、ストライプ状に配列された帯状の第1の電極を形成する工程と、(ハ)次の工程で形成する第2の電極と少なくとも交差する該第1の電極の部分に、強誘電体薄膜を形成する工程と、(ニ)該強誘電体薄膜を介して、該第1の電極と略直交する、ストライプ状に配列された帯状の第2の電極を形成する工程と、(ホ)全面に第2の絶縁層を形成する工程と、(ヘ)該第2の絶縁層を介して、第1の半導体基板と第2の基板を張り合わせる工程、から成ることを特徴とする。

【0015】上記の目的を達成するための本発明の第2の態様に係る半導体メモリの作製方法は、(イ)第1の半導体基板の表面に凹凸部を形成した後、全面に第1の絶縁層を形成する工程と、(ロ)第1の半導体基板の表面に形成された凸部の上方の第1の絶縁層上に、ストライプ状に配列された帯状の第1の電極を形成し、併せて、第1の電極のそれぞれから第1の半導体基板の表面に達する第1のコンタクトプラグを形成する工程と、

(ハ)次の工程で形成する第2の電極と少なくとも交差する該第1の電極の部分に、強誘電体薄膜を形成する工程と、(ニ)該強誘電体薄膜を介して、該第1の電極と略直交する、ストライプ状に配列された帯状の第2の電極を形成し、併せて、第2の電極のそれぞれから第1の半導体基板の表面に達する第2のコンタクトプラグを形成する工程と、(ホ)全面に第2の絶縁層を形成する工

程と、(ヘ)該第2の絶縁層を介して、第1の半導体基板と第2の基板を張り合わせる工程と、(ト)第1の半導体基板の裏面から第1の半導体基板を研磨し、前記凹部の底部を露出させる工程と、(チ)露出した第1の半導体基板に、第1のコンタクトプラグと電氣的に接続された第1のトランジスタ素子を形成し、併せて、第2のコンタクトプラグと電氣的に接続された第2のトランジスタ素子を形成する工程、から成ることを特徴とする。

【0016】本発明の第1若しくは第2の態様に係る半導体メモリの作製方法においては、PZT系化合物、又は層状構造を有するBi系化合物から成る強誘電体薄膜を、MOCVD法、パルスレーザ堆積法又はスパッタ法にて形成することができる。

【0017】

【作用】所謂SOI技術を適用した本発明の半導体メモリにおける半導体メモリセルは、第2の基板に張り合わされた第1の半導体基板の内部に形成されているので、半導体メモリの断面構造を簡素化することができる。第1の半導体基板の表面側に、スイッチ回路若しくはデコーダを構成する第1のトランジスタ素子及び第2のトランジスタ素子を形成することで、半導体メモリの断面構造を一層簡素化することができるだけでなく、積層化によるメモリチップの小型化を図ることができる。本発明の半導体メモリの作製方法は、所謂SOI技術を用いており、第2の基板に張り合わされた第1の半導体基板の内部に半導体メモリを形成することは、比較的容易であるし、半導体メモリの断面構造を簡素化することができる。また、第1の半導体基板の表面側に、スイッチ回路若しくはデコーダを構成する第1のトランジスタ素子及び第2のトランジスタ素子を、通常の半導体素子作製プロセスを用いて容易に作製することができる。

【0018】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0019】図1～図4に、本発明の半導体メモリの一実施例の模式的な一部断面図を示す。また、図4に半導体メモリの一実施例のレイアウトの概要を模式的な平面図で示す。更には、図5に、本発明の半導体メモリの一実施例におけるトランジスタ素子の配線レイアウトの概要を模式的な平面図で示す。

【0020】図4に示すように、半導体メモリの一実施例における半導体メモリセルは、ストライプ状に配列された帯状の第1の電極(横方向の直線で示す)と、これらの第1の電極と略直交する、ストライプ状に配列された帯状の第2の電極(横方向の直線で示す)から成る。ここで、略直交するとは、厳密に直交していなくともよいことを意味する。尚、半導体メモリセルの1つを、図4に丸印を付して示した。本発明の半導体メモリには、スイッチ機能を有する第1のトランジスタ素子及び第2のトランジスタ素子が備えられていることが好ましい。

図 4 において、矩形で囲まれた部分は素子領域である。また、黒丸は、第 1 の電極と第 1 のトランジスタ素子とを電氣的に接続する第 1 のコンタクトプラグ、及び第 2 の電極と第 2 のトランジスタ素子とを電氣的に接続する第 2 のコンタクトプラグを示す。図 20 に、第 1 又は第 2 のトランジスタ素子の等価回路を示す。

【0021】図 4 の A-A にて示す部分の半導体メモリセルの模式的な断面図を、図 1 の (A) に示す。また、図 4 の B-B にて示す部分の半導体メモリセルの模式的な断面図を、図 1 の (B) に示す。半導体メモリにおけるこの部分の半導体メモリセルは、第 1 の電極 20 と、第 2 の電極 40 と、第 1 の電極 20 と第 2 の電極 40 が交差する部分に少なくとも設けられた強誘電体薄膜 30 から成り、第 2 の基板 54 に張り合わされた第 1 の半導体基板 10 の内部に形成されている。実施例においては、強誘電体薄膜 30 は、第 2 の電極 40 の上側を第 2 の電極 40 に沿って延びている。第 1 の半導体基板 10 と第 1 の電極 20 の間には、第 1 の絶縁層 12 が形成されている。図 1 及び図 2 に示す半導体メモリの部分においては、第 1 の電極 20 の間には、絶縁層 22 で充填されている。第 1 の電極 20、第 2 の電極 40 及び絶縁層 22 の下には、第 2 の絶縁層 50 が形成されている。第 2 の絶縁層 50 の下にはポリシリコン層 52 が形成され、第 2 の絶縁層 50、ポリシリコン層 52 を介して、第 1 の半導体基板 10 と第 2 の基板 54 とが張り合わされている。第 1 の半導体基板 10 の上には、層間絶縁層 70 が形成されている。

【0022】図 4 の C-C にて示す部分（第 1 のトランジスタ素子の部分）の半導体メモリの模式的な断面図を図 2 の (A) に示す。また、図 4 の C'-C' にて示す部分の半導体メモリの模式的な断面図を図 2 の (B) に示す。半導体メモリのこの部分においては、第 1 の半導体基板 10 の表面側に、第 1 の電極 20 のそれぞれに電氣的に接続された第 1 のトランジスタ素子が形成されている。第 1 のトランジスタ素子は、ソース・ドレイン領域 64 A と、第 1 の半導体基板 10 の上方に形成されたゲート電極 62 A から構成されている。ソース・ドレイン領域 64 A の一方は、第 1 のコンタクトプラグ 16 を介して第 1 の電極 20 に電氣的に接続されている。また、ソース・ドレイン領域 64 A の他方は、第 1 の半導体基板 10 の上方の層間絶縁層 70 上に形成された第 1 のデータ線 74 A にコンタクトプラグ 72 A を介して電氣的に接続されている。第 1 の半導体基板 10 と第 1 の電極 20 の間には、第 1 の絶縁層 12 が形成されている。第 1 の電極 20 及び絶縁層 22 の下には、第 2 の絶縁層 50 が形成されている。第 2 の絶縁層 50 の下にはポリシリコン層 52 が形成され、第 2 の絶縁層 50、ポリシリコン層 52 を介して、第 1 の半導体基板 10 と第 2 の基板 54 とが張り合わされている。

【0023】図 4 の D-D にて示す部分（第 2 のトラン

ジスタ素子の部分）の半導体メモリの模式的な断面図を図 3 の (A) に示す。また、図 4 の D'-D' にて示す部分の半導体メモリの模式的な断面図を図 3 の (B) に示す。半導体メモリのこの部分においては、第 1 の半導体基板 10 の表面側に、第 2 の電極 40 のそれぞれに電氣的に接続された第 2 のトランジスタ素子が形成されている。第 2 のトランジスタ素子は、ソース・ドレイン領域 64 B と、第 1 の半導体基板 10 の上方に形成されたゲート電極 62 B から構成されている。ソース・ドレイン領域 64 B の一方は、第 2 のコンタクトプラグ 16 A、16 B を介して第 2 の電極 40 に電氣的に接続されている。また、ソース・ドレイン領域 64 A の他方は、第 1 の半導体基板 10 の上方の層間絶縁層 70 上に形成された第 2 のデータ線 74 B にコンタクトプラグ 72 B を介して電氣的に接続されている。第 1 の半導体基板 10 と第 2 の電極 40 の間には、第 1 の絶縁層 12、絶縁層 22 が形成されている。第 2 の電極 40 と絶縁層 22 の間には、強誘電体薄膜 30 が、第 2 の電極 40 に沿って延びている。第 2 の電極 40 及び絶縁層 22 の下には、第 2 の絶縁層 50 が形成されている。第 2 の絶縁層 50 の下にはポリシリコン層 52 が形成され、第 2 の絶縁層 50、ポリシリコン層 52 を介して、第 1 の半導体基板 10 と第 2 の基板 54 とが張り合わされている。図 4 に示した例では、第 2 のトランジスタ素子は、第 1 の電極 20 と第 2 の電極 40 とこれらの電極に挟まれた強誘電体薄膜 30 の部分から成る強誘電体キャパシタから成る半導体メモリセルの近傍の上方に形成されている。従って、積層化によるメモリチップの小型化を図ることができる。

【0024】図 5 に、第 1 若しくは第 2 のトランジスタ素子の配線レイアウトの概要を模式的な平面図で示す。尚、図を簡素化するために、各種絶縁層や強誘電体薄膜の図示は省略した。図 5 において、矩形で囲まれた領域は素子領域である。各トランジスタ素子に共通の第 1 又は第 2 のデータ線 74 A、74 B は、所定の電圧 +V、若しくは -V。（例えば、+5V 若しくは -5V）の電源（図示せず）に、周辺回路を介して接続されている。また、選択線（ゲート電極）62 A、62 B は、所定の電圧 V_g の電源（図示せず）に、周辺回路を介して接続されている。これによって、任意の第 1 若しくは第 2 の電極を選択することができる。

【0025】或る第 1 のトランジスタ素子の第 1 のデータ線 74 A に電圧 +V₁ を印加し、或る第 2 のトランジスタ素子の第 2 のデータ線 74 B に電圧 -V₂。又は V₃ を印加し、かかる第 1 及び第 2 のトランジスタ素子をオン状態にすることで、かかる第 1 のトランジスタ素子に電氣的に接続された第 1 の配線 20 と、かかる第 2 のトランジスタ素子に電氣的に接続された第 2 の配線 40 とが交差する部分の強誘電体薄膜 30 に上から下に向かう電界を印加することができる。これによって、かかる第

1の電極20と、第2の電極40と、これらの電極に挟まれた強誘電体薄膜30の部分から成る強誘電体キャパシタから成る半導体メモリセルにデータ"0"を書き込むことができる。一方、或る第1のトランジスタ素子の第1のデータ線74Aに電圧 $-V_0$ 又は V_0 を印加し、或る第2のトランジスタ素子の第2のデータ線74Bに電圧 $+V_0$ を印加し、かかる第1及び第2のトランジスタ素子をオン状態にすることで、かかる第1のトランジスタ素子に電氣的に接続された第1の配線20と、かかる第2のトランジスタ素子に電氣的に接続された第2の配線40とが交差する部分の強誘電体薄膜30に下から上に向かう電界を印加することができる。これによって、かかる第1の電極20と、第2の電極40と、これらの電極に挟まれた強誘電体薄膜30の部分から成る強誘電体キャパシタから成る半導体メモリセルにデータ"1"を書き込むことができる。

【0026】"1"あるいは"0"の状態を判別するために、第1のデータ線74Aに $+V_0$ を印加し、第2のデータ線74Bに $-V_0$ 又は V_0 を印加する。これによって、強誘電体薄膜の分極は図21の「C」の状態となる。このとき、データが"0"であれば、強誘電体薄膜の分極状態は、「D」から「C」の状態に変化する。一方、データが"1"であれば、強誘電体薄膜の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが"0"の場合には、強誘電体薄膜の分極反転は生じない。一方、データが"1"の場合には、強誘電体薄膜に分極反転が生じる。その結果、強誘電体薄膜

から構成されるキャパシタの蓄積電荷量に差が生じる。この蓄積電荷を信号電流として検出すれば、データが"0"であるか"1"であるかを判別することができる。

【0027】本発明の第1の態様に係る半導体メモリの作製方法と第2の態様に係る半導体メモリの作製方法の工程は、重複しているので、以下、纏めて、図6～図19を参照して、本発明の第1及び第2の態様に係る半導体メモリの作製方法を説明する。尚、図6～図8は、図4のA-Aで示す部分の模式的な断面図に相当し、図9～図11は、図4のB-Bで示す部分の模式的な断面図に相当し、図12～図15は、図4のC-Cで示す部分の模式的な断面図に相当し、図16～図19は、図4のD-Dで示す部分の模式的な断面図に相当する。

【0028】[工程-100] 先ず、シリコン半導体基板から成る第1の半導体基板10の表面に凹凸部を形成する。凹凸部の高さは、例えば $0.1\mu\text{m}$ 程度であればよい。凹凸部の形成は、例えばRIE法にて行えばよい。その後、全面に第1の絶縁層12を形成する。第1の絶縁層12は、例えば、 SiO_2 、 SiN 、 SiON 、 SiOF 等から成り、例えばCVD法にて形成することができる(図6の(A)、図9の(A)参照)。

【0029】[工程-110] 次に、図4のA-A及びB-Bで示した領域に相当する、第1の半導体基板10

の表面に形成された凸部の上方の第1の絶縁層12上に、ストライプ状に配列された帯状の第1の電極20を形成する。一方、図4のC-Cで示した領域に相当する、第1の半導体基板10の表面に形成された凸部の上方の第1の絶縁層12上に、ストライプ状に配列された帯状の第1の電極20を形成し、併せて、第1の電極20のそれぞれから第1の半導体基板10の表面に達する第1のコンタクトプラグ16を形成する。具体的には、第1の絶縁層12の所定の部分に開口部14を例えばRIE法にて形成した後、不純物をドーピングしたポリシリコンを開口部14に埋め込み、第1のコンタクトプラグ16を形成することができる(図12の(A)参照)。尚、後に形成する第2のトランジスタ素子と第2の電極を電氣的に接続するための第2のコンタクトプラグの一部16Aを、第1の絶縁層12に形成された開口部14A内に、同様の方法で形成しておくことが好ましい(図16の(A)参照)。

【0030】その後、第1の電極20を形成するために、例えばPt(白金)をマグネトロンスパッタ法にて第1の絶縁層12上に成膜する。Ptから成る第1の電極20の厚さを $0.2\mu\text{m}$ とした。RFマグネトロンスパッタ条件を以下に例示する。

アノード電圧: 2.6 kV
 入力電力: $1.1 \sim 1.6\text{ W/cm}^2$
 プロセスガス: $\text{Ar/O}_2 = 90/10$
 圧力: 0.7 Pa
 成膜温度: $600 \sim 750^\circ\text{C}$
 堆積速度: $5 \sim 10\text{ mm/分}$

【0031】次いで、成膜されたPtを、例えばイオンミリング技術でバタニングして、ストライプ状に配列された帯状の第1の電極20を形成する(図6の(B)、図9の(B)、図12の(B)、図16の(B)参照)。尚、図16の(B)に示すように、図4のD-Dで示す領域においては、第1の電極20を除去する。図12の(B)に示すように、第1の電極20のそれぞれは、第1の半導体基板10の表面に達する第1のコンタクトプラグ16と電氣的に接続されている。

【0032】その後、例えば SiO_2 から成る絶縁層22を全面にCVD法等で形成し、絶縁層22を例えばエッチバックし、第1の電極20の間を絶縁層22で充填することが好ましい(図6の(C)、図9の(C)、図12の(C)、図16の(C)参照)。

【0033】[工程-120] その後、次の工程で形成される第2の電極と少なくとも交差する第1の電極20の部分に、強誘電体薄膜30を形成する(図6の(D)、図9の(D)、図12の(D)、図16の(D)参照)。実施例においては、強誘電体薄膜30はPZTから成り、マグネトロンスパッタ法にて全面に成膜する。成膜条件を以下に例示する。尚、Ptから成る第1の電極20の上に形成されたPZTは多結晶となる

が、その特性は実用上問題ない。尚、ターゲットを PLZT に交換すれば、PLZT から成る強誘電体薄膜 30 を形成することができる。

ターゲット : PLZT
プロセスガス : $Ar/O_2 = 90 \text{ 体積} \% / 10 \text{ 体積} \%$
圧力 : 4 Pa
パワー : 50 W
成膜温度 : 500 °C
強誘電体薄膜の厚さ : 0.3 μm

【0034】その後、後に形成する第 2 のトランジスタ素子と第 2 の電極を電気的に接続するための第 2 のコンタクトプラグ 16 B を形成するために、第 2 のコンタクトプラグの一部 16 A の上方の絶縁層 22 及び強誘電体薄膜 30 に開口部 14 B を形成する (図 16 の (D) 参照)。

【0035】【工程-130】次に、第 2 の電極 40 を形成するために、例えば【工程-110】と同様に、Pt (白金) を RF マグネトロンスパッタ法にて強誘電体薄膜 30 上に成膜する (図 7 の (A)、図 10 の

(A)、図 13 の (A)、図 17 の (A) 参照)。Pt から成る第 2 の電極 40 の厚さを 0.2 μm とした。Pt の成膜によって、開口部 14 B は Pt で埋め込まれ、第 2 の電極のそれぞれから第 1 の半導体基板 10 の表面に達する第 2 のコンタクトプラグ 16 A、16 B が形成される (図 17 の (A) 参照)。次いで、例えばイオンミリング技術で Pt をバタニングして、強誘電体薄膜 30 を介して第 1 の電極 20 と略直交する、ストライプ状に配列された帯状の第 2 の電極 40 を形成する。更に、RIE 法で強誘電体薄膜 30 をバタニングする。あるいは又、第 2 の電極 40 と強誘電体薄膜 30 を同時にスパッタエッチング法にてバタニングする。これによって、図 7 の (B)、図 10 の (B)、図 13 の

(B) 及び図 17 の (B) に示す構造を得ることができる。強誘電体薄膜 30 は、第 2 の電極 40 の下側を第 2 の電極 40 に沿って延びている。尚、図 13 の (B) に示すように、図 4 の C-C で示す領域においては、第 2 の電極 40 及び強誘電体薄膜 30 を除去する。第 2 の電極 40 のそれぞれは、第 1 の半導体基板 10 の表面に達する第 2 のコンタクトプラグ 16 A、16 B と電気的に接続されている。

【0036】【工程-140】その後、全面に第 2 の絶縁層 50 を形成する。即ち、例えば SiO_2 から成る第 2 の絶縁層 50 を全面に CVD 法にて形成する。その後、例えば、化学的機械的研磨法 (CMP 法) にて第 2 の絶縁層 50 の頂面を化学的及び機械的に研磨し、第 2 の絶縁層 50 を平坦化することが望ましい。あるいは又、エッチバック法にて、第 2 の絶縁層 50 の平坦化処理を行ってもよい。その後、第 2 の絶縁層 50 の上にポリシリコン層 52 を、例えば CVD 法で堆積させる (図

7 の (C)、図 10 の (C)、図 13 の (C)、図 17 の (C) 参照)。尚、ポリシリコン層 52 は、次の工程で基板を張り合わせるときの接着層としての機能を有する。

【0037】【工程-150】次に、第 2 の絶縁層 50 を介して第 1 の半導体基板 10 と第 2 の基板 54 を張り合わせる。即ち、例えばシリコン基板から成る第 2 の基板 54 と、ポリシリコン層 52 とを圧着して、例えば 850 ~ 900 °C に加熱する。この加熱処理によって、第 1 の半導体基板 10 と第 2 の基板 54 は強固に張り合わされる (図 8 の (A)、図 11 の (A)、図 14 の (A)、図 18 の (A) 参照)。

【0038】こうして、図 4 の A-A 及び B-B に示した半導体メモリの領域に半導体メモリセルを実質的に作製することができる。

【0039】【工程-160】次に、第 1 の半導体基板 10 の裏面から第 1 の半導体基板 10 を研磨し、凹部の底部を露出させる。凹部内に形成されている第 1 の絶縁層 12 が研磨ストップパとなり、凹部の底部が露出した時点で、第 1 の半導体基板 10 の残りの部分 (凸部に相当する) の研磨はそれ以上進行しない。この状態で、第 1 の半導体基板 10 の研磨を中止する。こうして、図 8 の (B)、図 11 の (B)、図 14 の (B) 及び図 18 の (B) に示す構造を得ることができる。研磨後に残され、素子分離された第 1 の半導体基板 10 は、第 1 のコンタクトプラグ 16 を介して第 1 の電極 20 に接続されており、この第 1 の半導体基板 10 の領域に第 1 のトランジスタ素子が形成される。あるいは又、素子分離された第 1 の半導体基板 10 は、第 2 のコンタクトプラグ 16 A、16 B を介して第 2 の電極 40 に接続されており、この第 1 の半導体基板 10 の領域に第 2 のトランジスタ素子が形成される。尚、凹部内に残存した第 1 の絶縁層 12 から素子分離領域が構成される。

【0040】その後、露出した第 1 の半導体基板 10 に、第 1 のコンタクトプラグと電気的に接続された第 1 のトランジスタ素子を形成し、併せて、第 2 のコンタクトプラグと電気的に接続された第 2 のトランジスタ素子を形成する。具体的には、第 1 の半導体基板 10 の表面を酸化してゲート酸化膜 60 を形成する。そして、ポリシリコン層を例えば CVD 法にて全面に堆積させた後、フォトリソグラフィ技術及びエッチング技術によってポリシリコン層をバタニングし (図 5 も参照)、ポリシリコンから成るゲート電極 (選択線を兼ねている) 62 A、62 B を形成する。尚、このゲート電極 62 A、62 B は、ポリサイド構造から構成してもよいし、金属ポリサイドから構成してもよい。次に、露出した第 1 の半導体基板 10 に、一方がコンタクトプラグ 16、16 A、16 B と電気的に接続されたソース・ドレイン領域 64 A、64 B を形成する。即ち、露出した第 1 の半導体基板 10 に対して不純物イオンのイオン注入を行った

10

20

30

40

50

後、注入された不純物の活性化処理を行い、第 1 及び第 2 のトランジスタ素子のソース・ドレイン領域 64A、64B 及びチャネル領域を形成する。このソース・ドレイン領域 64A、64B の形成は周知の方法で行うことができる。こうして、図 15 及び図 19 に示す構造を得ることができる。

【0041】その後、露出した第 1 の半導体基板 10 の上方に、他方のソース・ドレイン領域 64A、64B に電氣的に接続された第 1 及び第 2 のデータ線 74A、74B を形成する。そのために、先ず、CVD 法にて全面に例えば SiO_2 から成る層間絶縁層 70 を堆積させ、次いで、フォトリソグラフィ技術及びエッチング技術を用いて、他方のソース・ドレイン領域 64A の上方の層間絶縁層 70 に開口部を形成する。その後、例えばアルミニウム系合金から成る金属配線材料層を、例えば高温アルミニウムスパッタ法にて、層間絶縁層 70 上に堆積させる。併せて、アルミニウム系合金で開口部内を埋め込み、コンタクトプラグ 72A、72B を形成する。次いで、フォトリソグラフィ技術及びエッチング技術を用いて、アルミニウム系合金から成る金属配線材料層をパターンニングして、第 1 及び第 2 のデータ線 74A、74B を形成する（図 5 も参照）。こうして、図 2 の (A)、(B) 及び図 3 の (A)、(B) に示した構造を有する半導体メモリを作製することができる。

【0042】高温アルミニウムスパッタ法においては、各開口部内を含む層間絶縁層 70 上に、Ti 層及び TiN 層を例えばスパッタ法にて成膜した後、TiN 層上にアルミニウム系合金（例えば $\text{Al}-1\% \text{Si}$ ）から成る金属配線材料層をスパッタ法にて形成する。Ti 層、TiN 層及びアルミニウム系合金から成る金属配線材料層の成膜条件を以下に例示する。尚、Ti 層及び TiN 層を形成する理由は、オーミックな低コンタクト抵抗を得ること、アルミニウム系合金から成る金属配線材料層による第 1 の半導体基板 10 の損傷発生の防止、アルミニウム系合金の濡れ性改善のためである。

Ti 層（厚さ：20nm）

プロセスガス：Ar=35sccm

圧力：0.52Pa

RF パワー：2kW

基板の加熱：無し

TiN 層（厚さ：100nm）

プロセスガス： $\text{N}_2/\text{Ar}=100/35\text{sccm}$

圧力：1.0Pa

RF パワー：6kW

基板の加熱：無し

アルミニウム系合金層から成る配線層

プロセスガス：Ar=100sccm

圧力：0.26Pa

RF パワー：15kW

基板温度：475°C

【0043】尚、アルミニウム系合金から成る金属配線材料層の成膜は所謂高温アルミニウムスパッタ法にて行ったが、このような成膜方法に限定されるものではなく、所謂高温リフロー法や高圧リフロー法にて行うこともできる。高温リフロー法においては、以下に例示する条件でアルミニウム系合金から成る金属配線材料層を層間絶縁層 70 上に堆積させる。

プロセスガス：Ar=100sccm

DC パワー：20kW

スパッタ圧力：0.4Pa

基板加熱温度：150°C

【0044】その後、第 2 の基板 54 を約 500°C に加熱する。これによって、層間絶縁層 70 上に堆積したアルミニウム系合金から成る金属配線材料層は流動状態となり、開口部の内に流入し、開口部はアルミニウム系合金で確実に埋め込まれ、コンタクトプラグ 72A、72B が形成される。一方、層間絶縁層 70 の上にはアルミニウム系合金から成る金属配線材料層が形成される。加熱条件を、例えば以下のとおりとすることができる。

加熱方式：基板裏面ガス加熱

加熱温度：500°C

加熱時間：2分

プロセスガス：Ar=100sccm

プロセスガス圧力：1.1×10¹Pa

【0045】ここで、基板裏面ガス加熱方式とは、第 2 の基板 54 の裏面に配置したヒーターブロックを所定の温度（加熱温度）に加熱し、ヒーターブロックと第 2 の基板 54 の裏面の間にプロセスガスを導入することによって第 2 の基板 54 を含む全体を加熱する方式である。加熱方式としては、この方式以外にもランプ加熱方式等を用いることができる。

【0046】尚、TiN 層及び Ti 層の図示は省略した。そして、層間絶縁層 70 の上の金属配線材料層、TiN 層、Ti 層を選択的に除去してパターンニングし、データ線 74A、74B を形成する。尚、データ線 74A、74B を構成する材料は、アルミニウム系合金に限定されず、適宜周知の配線材料（例えば、ポリシリコンや銅、あるいはタングステン等の高融点金属材料とアルミニウム系合金の積層構造等）を用いることができる。

【0047】以上、本発明を好ましい実施例に基づき説明したが、本発明はこの実施例に限定されるものではない。

【0048】実施例においては、【工程-110】において、先ず、コンタクトプラグ 16 を形成し、その後、第 1 の配線 20 を形成したが、その代わりに、予め、第 1 の絶縁層 12 に開口部 14 を形成しておき、第 1 の配線 20 を成膜する際、かかる開口部 14 を第 1 の配線を構成する材料で埋め込むことにより、コンタクトプラグ 16（あるいは又、コンタクトプラグ 16A）を形成することもできる。更には、【工程-110】において

は、コンタクトプラグ16Aを形成せず、【工程-130】において、第1の半導体基板10の表面に達する第2のコンタクトプラグを形成することもできる。

【0049】実施例においては、強誘電体薄膜30及び第2の配線40を形成するために、第2の配線40及び強誘電体薄膜30を順次パターニングしたが、その代わりに、第1の電極20のパターニングを、強誘電体薄膜30を形成した後、強誘電体薄膜30のパターニングに続いて行ってもよい。この場合には、半導体メモリにおいて、強誘電体薄膜30は、第1の電極20の下側に第1の電極20に沿って延びる。尚、第1の電極20と第2の電極40が交差する部分にのみ、強誘電体薄膜30を設けてもよい。

【0050】実施例においては、マグネトロンスパッタ法にてPZTから成る強誘電体薄膜を形成したが、その代わりに、PZTやPLZTをパルスレーザアブレーション法（パルスレーザ堆積法）にて形成することもできる。この場合の成膜条件を以下に例示する。

ターゲット：PZT又はPLZT

使用レーザ：KrFエキシマレーザ（波長248nm、パルス幅25ns、3Hz）

出力エネルギー：400mJ（1.1J/cm²）

成膜温度：550～600°C

酸素濃度：40～120Pa

【0051】あるいは又、SrBi₂Ta₂O₇から成る強誘電体薄膜をパルスレーザアブレーション法にて形成することもできる。この場合の成膜条件を以下に例示する。

ターゲット：SrBi₂Ta₂O₇

使用レーザ：KrFエキシマレーザ（波長248nm、パルス幅25ns、5Hz）

成膜温度：500°C

酸素濃度：3Pa

尚、SrBi₂Ta₂O₇の成膜後、800°C×1時間、酸素雰囲気中でポストベーキングを行う。

【0052】あるいは又、MOCVD法によって、Bi系層状構造ペロブスカイト型の強誘電体材料から成る強誘電体薄膜を成膜することもできる。例えばSrBi₂Ta₂O₇の成膜条件を以下に例示する。

ソース材料：Sr（C₄H₁₀O₂）；

Bi（C₂H₄）；

Ta（OC₂H₅）；

成膜温度：650～750°C

成膜圧力：27～400Pa

酸素濃度：50%

【0053】Ptから成る第1の電極及び／又は第2の電極をパルスレーザ堆積法によって成膜することも可能である。パルスレーザ堆積法によるPtの成膜条件を、以下に例示する。

パルスレーザ堆積法による成膜条件

ターゲット：Pt

使用レーザ：KrFエキシマレーザ（波長248nm、パルス幅25ns、5Hz、1.1J/cm²）

成膜温度：500～600°C

【0054】実施例1においては第1の電極20及び第2の電極40をPtから構成したが、その代わりに、例えばLSCOから構成することもできる。この場合のパルスレーザアブレーション法による成膜条件を以下に例示する。

ターゲット：LSCO

使用レーザ：KrFエキシマレーザ（波長248nm、パルス幅25ns、3Hz）

出力エネルギー：400mJ（1.1J/cm²）

成膜温度：550～600°C

酸素濃度：40～120Pa

【0055】各種の絶縁層として、SiO₂等の代わりに、LTO（Low Temperature Oxide、低温CVD-SiO₂）、BPSG、PSG、BSG、AsSG、PbSG、SbSG、NSG、SOG、SiON、SiOFあるいはSi₃N₄等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものを用いることができる。

【0056】アルミニウム系合金として、例えば、純アルミニウム、Al-Si、Al-Cu、Al-Si-Cu、Al-Ge、Al-Si-Ge等の種々のアルミニウム合金を挙げることができる。あるいは又、アルミニウム系合金の代わりに、ポリシリコン、チタン、チタン合金、銅、銅合金、タングステン、タングステン合金を用いてデータ線74A、74Bを形成することもできる。また、コンタクトプラグ16、16A、16Bを、CVD法等により形成される、W、TiW、TiNW、WSi、MoSi、等から構成することもできる。更には、第1及び第2のトランジスタ素子と第1及び第2のデータ線74A、74Bを電気的に接続するために、コンタクトプラグ72A、72Bを、CVD法等により形成される、W、TiW、TiNW、WSi、MoSi、等から構成することもできる。

【0057】本発明の半導体メモリセルから、強誘電体薄膜を用いた不揮発性メモリセル（は所謂FERAM）のみならず、DRAMを構成することもできる。この場合には、強誘電体薄膜の分極のみを利用する。即ち、外部電極による最大（飽和）分極P_{sat}と外部電極が0の場合の残留分極P_rとの差（P_{sat}-P_r）が、電源電圧に対して一定の比例関係を有する特性を利用する。強誘電体薄膜の分極状態は、常に飽和分極（P_{sat}）と残留分極（P_r）の間にあり、反転しない。データはリフレッシュによって保持される。

【0058】

【発明の効果】本発明の半導体メモリにおいては、所謂基板張り合わせSOI構造を有するので、従来のストラ

イプ電極構造を有するメモリセルと比較して、半導体メ

モリの断面構造を簡素化することができる。また、半導体メモリセルが厚くなることを抑制することもできる。第1の半導体基板の表面側に、スイッチ回路若しくはデコーダを構成する第1のトランジスタ素子及び第2のトランジスタ素子を形成することで、半導体メモリの断面構造を一層簡素化することができるだけでなく、積層化によるメモリチップの小型化を図ることができる。本発明の半導体メモリの作製方法は、所謂SOI技術を用いており、本発明の半導体メモリの作製は比較的容易であるし、半導体メモリの断面構造を簡素化することができる。また、第1の半導体基板の表面側に、スイッチ回路若しくはデコーダを構成する第1のトランジスタ素子及び第2のトランジスタ素子を、通常の半導体素子作製プロセスを用いて容易に作製することができる。更には、SOI構造を有するので、拡散容量が小さくなり、半導体メモリセルの動作速度が早くなる。

【図面の簡単な説明】

【図1】実施例の半導体メモリにおける半導体メモリセルの模式的な一部断面図である。

【図2】実施例の半導体メモリにおける第1のトランジスタ素子の模式的な一部断面図である。

【図3】実施例の半導体メモリにおける第2のトランジスタ素子の模式的な一部断面図である。

【図4】実施例の半導体メモリのレイアウトの概要を示す模式的な平面図である。

【図5】実施例の半導体メモリの一例におけるトランジスタ素子の配線レイアウトの概要を示す模式的な平面図である。

【図6】本発明の半導体メモリの作製方法において、図4のA-Aに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図7】図6に引き続き、本発明の半導体メモリの作製方法において、図4のA-Aに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図8】図7に引き続き、本発明の半導体メモリの作製方法において、図4のA-Aに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図9】本発明の半導体メモリの作製方法において、図4のB-Bに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図10】図9に引き続き、本発明の半導体メモリの作製方法において、図4のB-Bに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図11】図10に引き続き、本発明の半導体メモリの作製方法において、図4のB-Bに沿った半導体メモリ

の部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図12】本発明の半導体メモリの作製方法において、図4のC-Cに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図13】図12に引き続き、本発明の半導体メモリの作製方法において、図4のC-Cに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図14】図13に引き続き、本発明の半導体メモリの作製方法において、図4のC-Cに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図15】図14に引き続き、本発明の半導体メモリの作製方法において、図4のC-Cに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図16】本発明の半導体メモリの作製方法において、図4のD-Dに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図17】図16に引き続き、本発明の半導体メモリの作製方法において、図4のD-Dに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図18】図17に引き続き、本発明の半導体メモリの作製方法において、図4のD-Dに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図19】図18に引き続き、本発明の半導体メモリの作製方法において、図4のD-Dに沿った半導体メモリの部分を作製するための各工程における第1の半導体基板等の模式的な一部断面図である。

【図20】第1又は第2のトランジスタ素子の等価回路を示す図である。

【図21】強誘電体のP-Eヒステリシスループ図である。

【図22】従来の技術におけるFERAMの模式的な一部断面図、及びセル構造の概念図である。

【符号の説明】

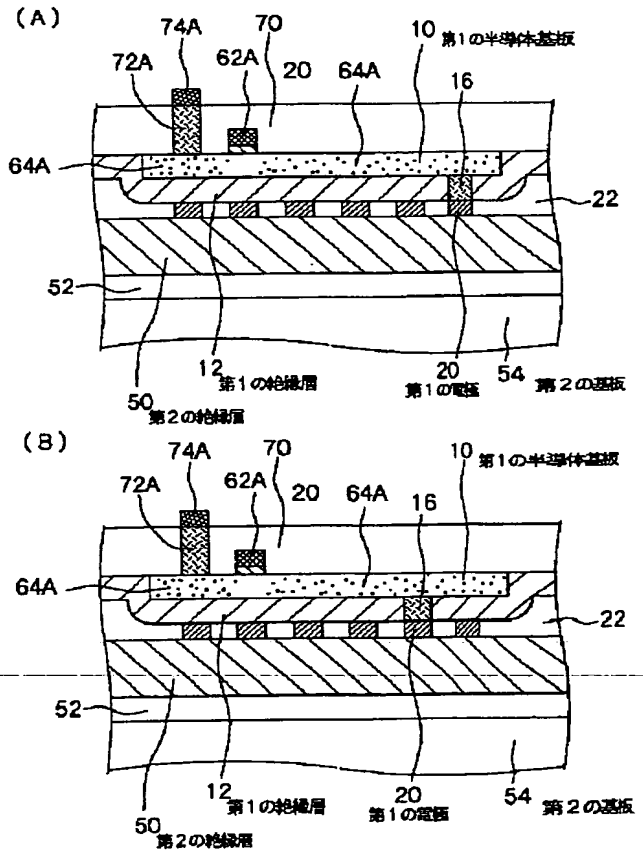
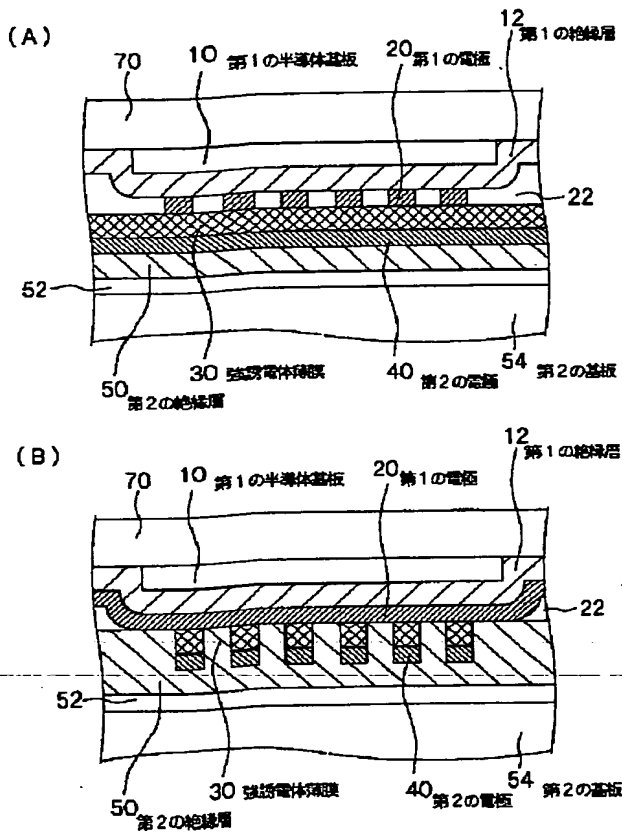
- 10 第1の半導体基板
- 12 第1の絶縁層
- 14, 14A, 14B 開口部
- 16 第1のコンタクトプラグ
- 16A, 16B 第2のコンタクトプラグ
- 20 第1の電極
- 22 絶縁層
- 30 強誘電体薄膜
- 40 第2の電極

50 第2の絶縁層
52 ポリシリコン層
54 第2の基板
60 ゲート酸化膜
62 A, 62 B ゲート電極

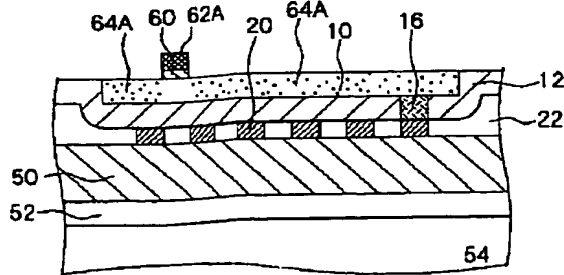
64 A, 64 B ソース・ドレイン領域
70 層間絶縁層
72 A, 72 B コンタクトプラグ
74 A, 74 B データ線

【図 1】

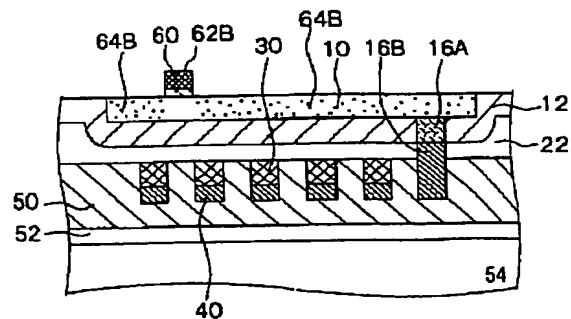
【図 2】



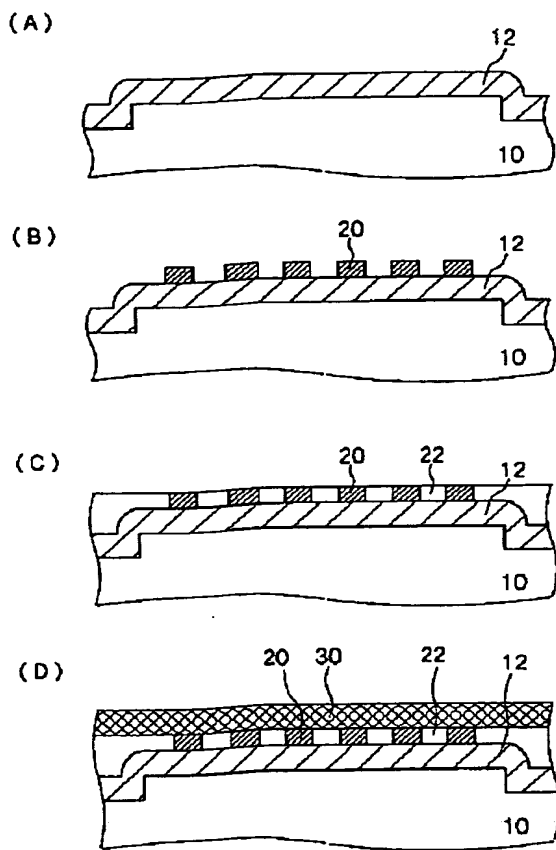
【図 15】



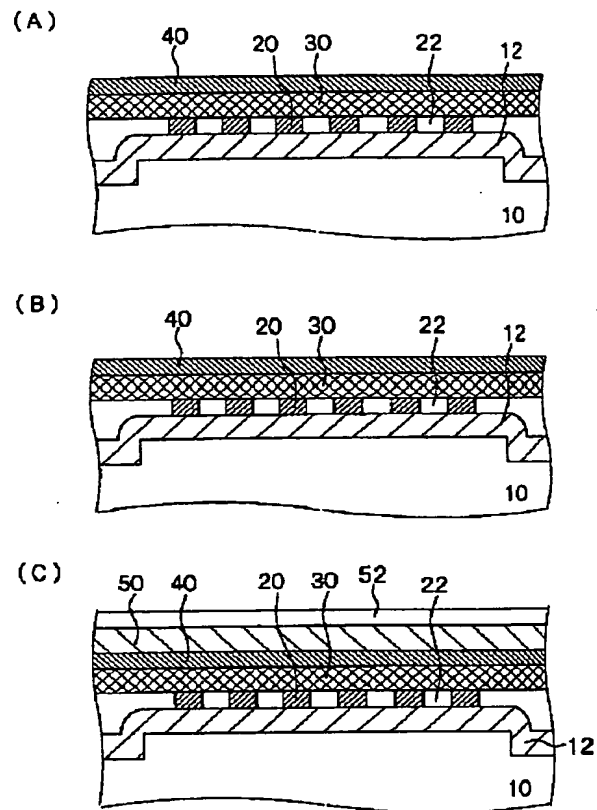
【図 19】



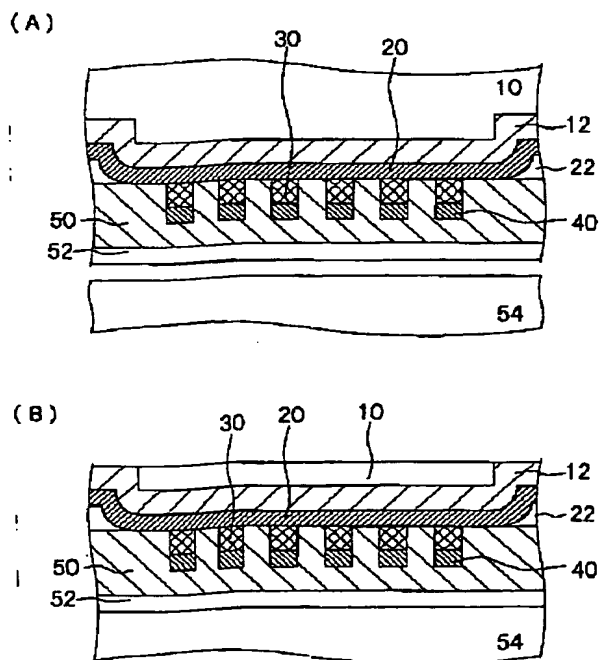
【図 6】



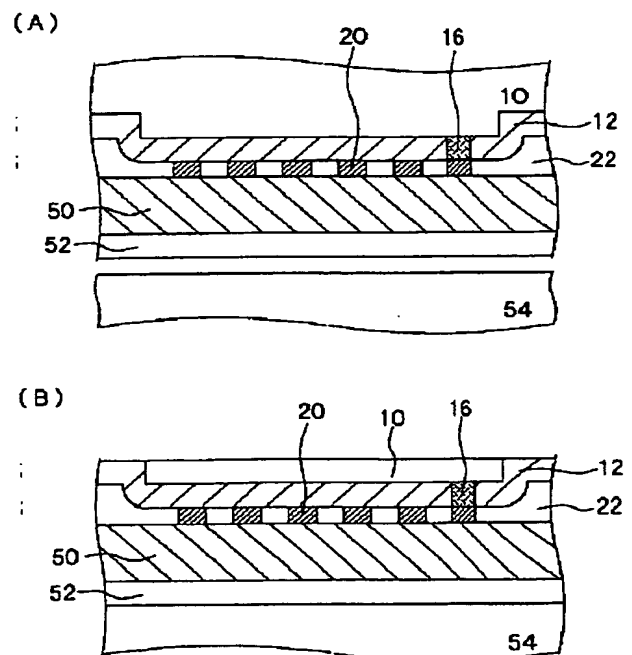
【図 7】



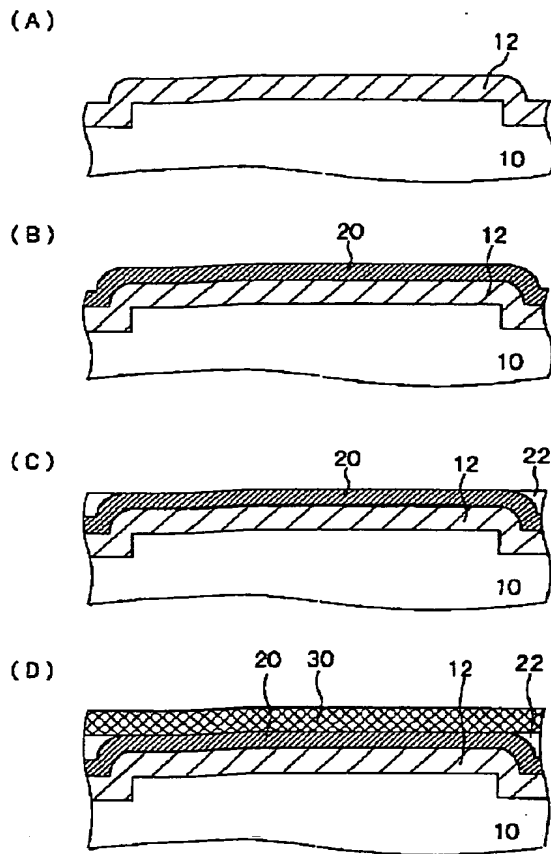
【図 11】



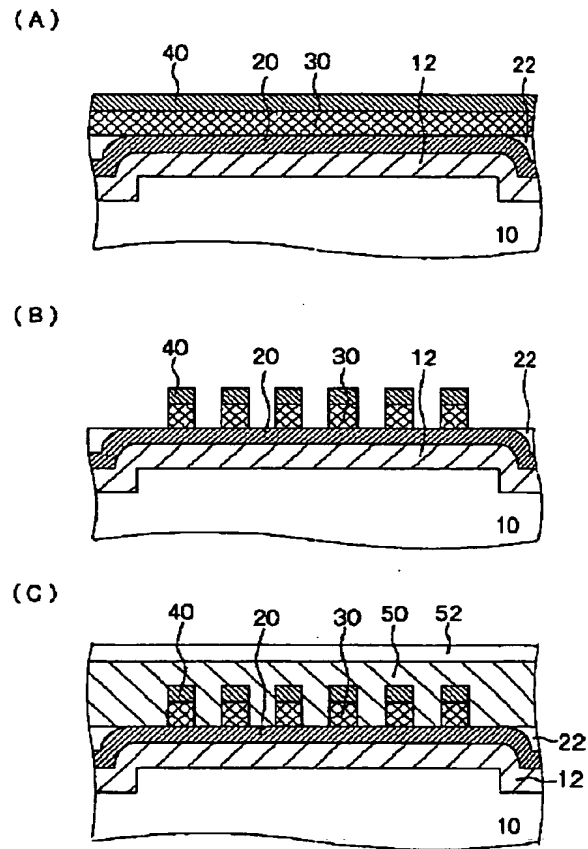
【図 14】



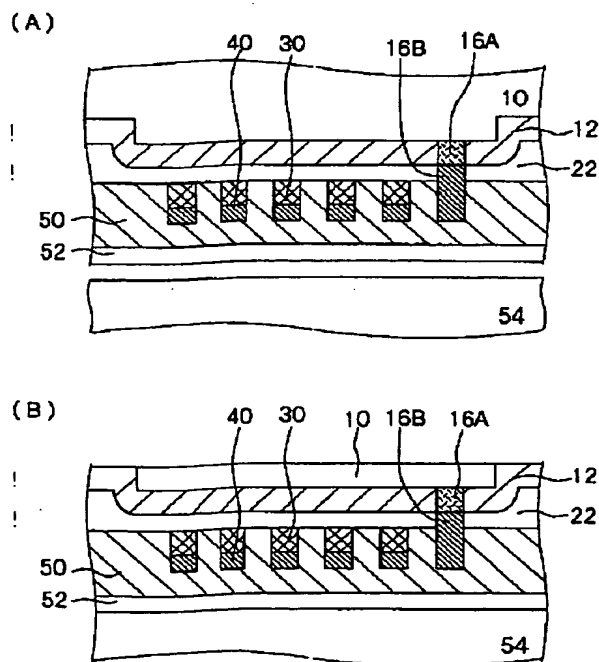
【図 9】



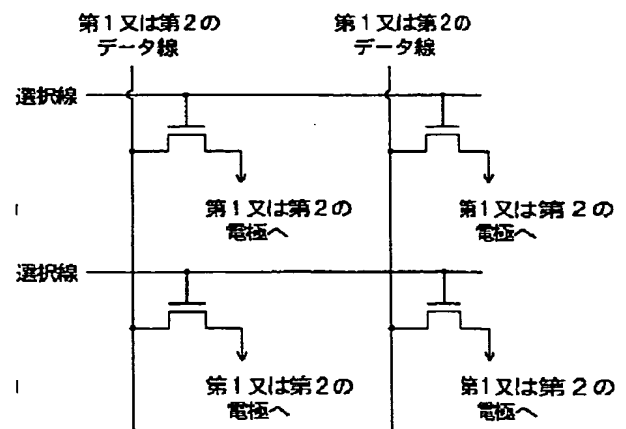
【図 10】



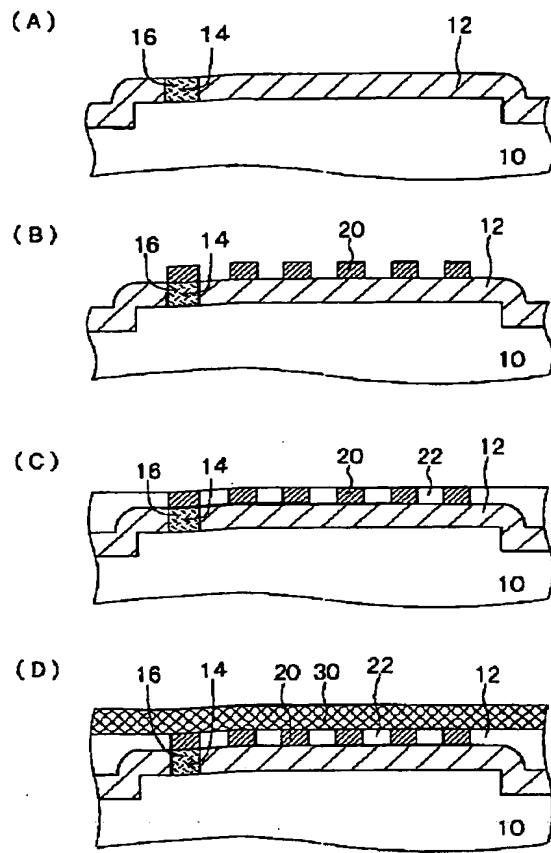
【図 18】



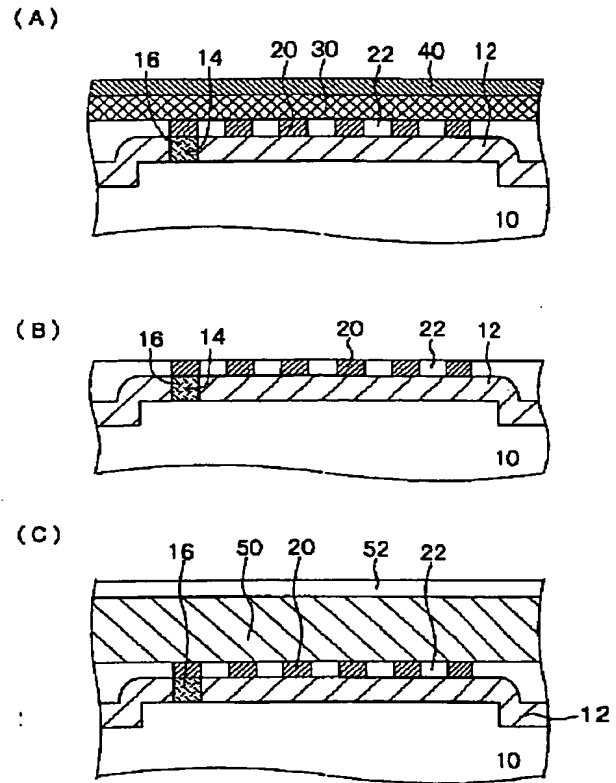
【図 20】



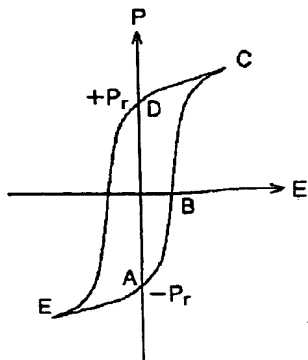
【図 1 2】



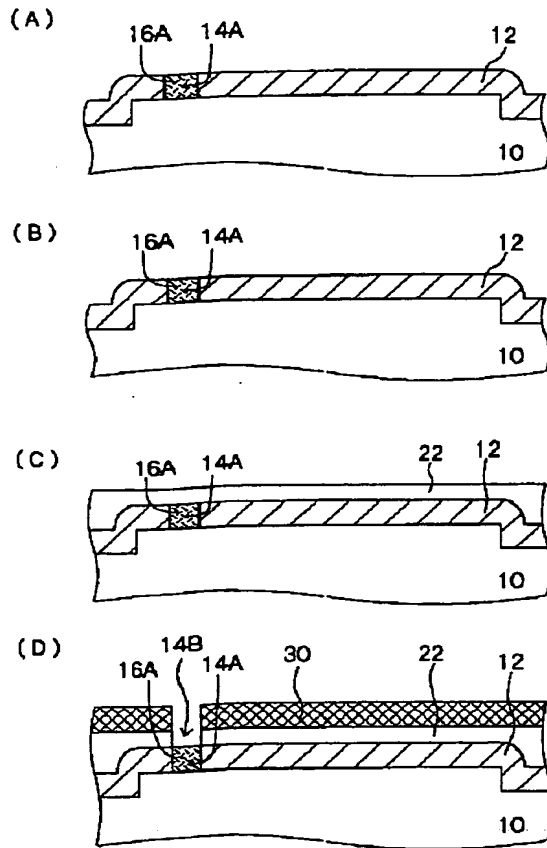
【図 1 3】



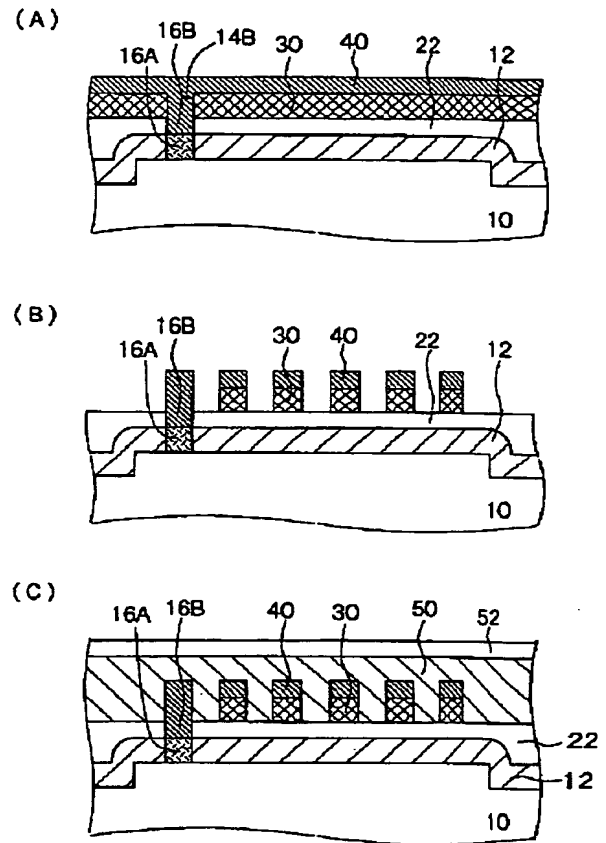
【図 2 1】



【図 16】

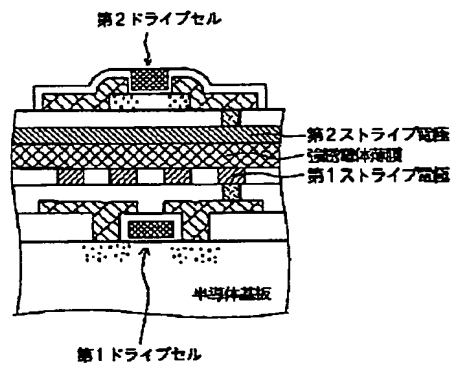


【図 17】



【 図 2 2 】

(A)



(B)

